

日本国特許庁
JAPAN PATENT OFFICE

JP16 Res'd PCT/PTO 01 DEC 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2003年 6月20日

出願番号
Application Number:

特願2003-177291

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

the country code and number
of your priority application,
which may be used for filing abroad
under the Paris Convention, is

JP2003-177291

願 人
Applicant(s):

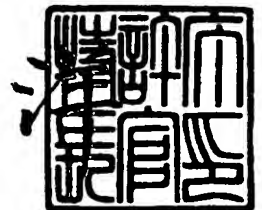
オリンパス株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2005年 8月22日

特許庁長官
Commissioner,
Japan Patent Office

小川



出証番号 出証特2005-3070695

【書類名】 特許願

【整理番号】 03P00364

【提出日】 平成15年 6月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/56
H04N 5/225

【発明の名称】 画像処理装置

【請求項の数】 7

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学
工業株式会社内

【氏名】 古川 英明

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学
工業株式会社内

【氏名】 日暮 正樹

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学
工業株式会社内

【氏名】 上野 晃

【特許出願人】

【識別番号】 000000376

【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号

【氏名又は名称】 オリンパス光学工業株式会社

【代理人】

【識別番号】 100076233

【弁理士】

【氏名又は名称】 伊藤 進

【手数料の表示】

【予納台帳番号】 013387

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9101363

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 光学系を介して撮像することにより得られた電子的な画像データであって、複数の成分で構成される画像データ、を処理する画像処理装置において、

上記光学系に起因する歪曲収差を補正するのに用いるための歪補正係数を、歪中心位置からの距離に基づき、上記成分毎に算出する歪補正係数算出手段と、

上記歪補正係数算出手段により算出された成分毎の歪補正係数を用いて、上記画像データを成分毎に歪補正する歪補正演算手段と、

を有して構成される歪補正処理手段を具備したことを特徴とする画像処理装置。

【請求項 2】 上記歪補正演算手段は、上記画像データを構成する全ての成分に一对一に対応して複数設けられたものであることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 上記歪補正演算手段は、画像データを記憶するための内部バッファを有して構成されるとともに、歪補正処理を行うに必要な画像データが該内部バッファに蓄積された段階で歪補正処理開始要求を出力するものであり、

上記複数の歪補正演算手段の全てからの歪補正処理開始要求が揃った後に、これら全ての歪補正演算手段に対して歪補正処理を開始させるように制御するグラント同期手段をさらに具備したことを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】 上記グラント同期手段は、歪補正係数の算出処理を許可するための許可信号を上記歪補正係数算出手段に出力して、該歪補正係数算出手段による全ての成分に係る歪補正係数の算出を開始させることにより、全ての歪補正演算手段に対して歪補正処理を開始させるように制御するものであることを特徴とする請求項 3 に記載の画像処理装置。

【請求項 5】 上記歪補正係数算出手段は、その少なくとも一部が、上記成分毎の歪補正係数を算出する際に全ての成分に対して共通に用いられる部分とし

て構成されたものであることを特徴とする請求項 1 から請求項 4 の何れか一項に記載の画像処理装置。

【請求項 6】 上記歪補正係数算出手段は、上記歪中心位置からの距離の 2 乗値を算出して、該 2 乗値に基づき上記歪補正係数を成分毎に求めるものであり、

上記全ての成分に対して共通に用いられる部分は、この歪中心位置からの距離の 2 乗値を算出する部分であることを特徴とする請求項 5 に記載の画像処理装置。

【請求項 7】 上記歪補正係数算出手段は、上記歪中心位置からの距離の 2 乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを上記成分毎に有して構成されており、

上記算出した距離の 2 乗値に基づき上記成分毎のルックアップテーブルを参照することにより、上記歪補正係数を成分毎に求めるものであることを特徴とする請求項 6 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置、より詳しくは、光学系を介して撮像された電子的な画像データを処理する画像処理装置に関する。

【0002】

【従来の技術】

デジタルカメラ等の電子的撮像装置においては、光学系により結像された被写体像を、CCD等の撮像素子により光電変換して撮像データを取得し、この撮像データに種々の画像処理を施した後に、JPEG等の圧縮方式で圧縮してメモリカード等の記録媒体に記録するのが一般的であり、該デジタルカメラ等の電子的撮像装置は、画像処理装置を兼ねたものとなっている。

【0003】

図 17 は画像処理装置における一般的な画像処理の手順を示す図である。

【0004】

CCD等の撮像素子は、光学系により結像された光学的な被写体像を光電変換して電氣的な撮像信号を生成する。この撮像信号は、画素欠陥の補正やA/D変換などのプリプロセス処理が行われた後に、フレームメモリに記憶される。

【0005】

次に、フレームメモリに記憶された画像データが、読み出されて、第1のイメージプロセス、第2のイメージプロセス、…、第Nのイメージプロセス等により、単板信号から3板信号への変換処理や、ローパスフィルタ処理、エッジ強調処理、拡大縮小処理などの各種の画像処理が行われる。

【0006】

画像処理後の画像信号は、さらにJPEGなどの圧縮方式により圧縮されて、画像ファイルとしてメモリカードへ記録される。

【0007】

図18は、上記図17に示したような一般的な画像処理を行うための従来の画像処理装置の構成を示すブロック図である。

【0008】

この画像処理装置は、CCD91と、プリプロセス部92と、フレームメモリ94と、第1イメージプロセス部95a、第2イメージプロセス部95b、…、第Nイメージプロセス部95nと、JPEG処理部96と、メモリカード等97と、上記CCD91を除く上記各回路と後述するCPU93とが接続されているバス98と、上述した各回路を含むこの画像処理装置を統括的に制御するCPU93と、を有して構成されている。

【0009】

この図18に示したような構成の画像処理装置により、上記図17に示したような処理を行う場合には、具体的には次のような手順になる。

【0010】

まず、プリプロセス部92からの画像データをバス98を介してフレームメモリ94に一旦記憶させる。

【0011】

次に、該フレームメモリ94から画像データを読み出して、バス98を介して

第1イメージプロセス部95aに入力し、第1の画像処理を行って、処理後の画像データをフレームメモリ94上に書き込む。

【0012】

同様にして、該フレームメモリ94から第1の画像処理後の画像データを読み出して、バス98を介して第2イメージプロセス部95bに入力し、第2の画像処理を行って、処理後の画像データをフレームメモリ94上に書き込む、という処理を行い、同様の処理を各イメージプロセス部毎に繰り返して行う。

【0013】

このように、画像処理を行う際には、画像データが何度もバス98を流れることになるが、画像データは一般的にデータサイズが大きいため、バス98には大きな負荷がかかることになる。このようなバス98に対する大きな負荷は、連写機能を使用しているときなどに、より顕著である。

【0014】

こうした観点から、複数のイメージプロセス部をパイプライン処理可能なように接続して、フレームメモリからの画像をパイプライン処理することにより、バスの負荷を減らすようにした技術が、例えば特開2000-311241号公報に記載されていて、バスの負荷を減らしながら、メモリ容量を増やすことなく拡大縮小処理を含む画像処理をリアルタイムで行うことができるようになっている。

【0015】

さらに、特開2000-312327号公報には、フレームメモリに記憶されている画像をブロック単位で所定方向（列方向）に読み出すことで、パイプライン処理を行う際のバッファ量を減らす技術も記載されていて、低消費電力、省メモリの画像処理装置を構成することができるようになっている。

【0016】

ところで、デジタルカメラや銀塩カメラを含むカメラの光学系においては、大小の差こそあれ、歪曲収差を生じるのが一般的である。この歪曲収差は、例えば、格子状の被写体を撮影すると、樽型、糸巻き型などとして観測される（本発明の実施形態に係る図4（A）、図4（B）、図4（C）参照）。また、現在発売

されているカメラは、光学ズームを行い得る機種が多いが、こうしたズーム可能な光学系は、ワイド端からテレ端にかけてのズームレンジ内で焦点距離を変更すると、歪曲収差の状態が変化することが多い。

【0017】

このような現象に対し、画像処理の一部として歪補正を行う技術が、従来より開発されており、その一例として、例えば特開平6-181530号公報に記載されたものが挙げられる。該公報に記載されたような通常の画像処理では、フレームメモリから例えばライン単位でデータを読み出すようになっている。

【0018】

また、画像処理の一部として歪補正を行う他の技術として、例えば特開平10-224695号公報には、各イメージプロセス部がフレームメモリにランダムにアクセスするようにした技術が記載されている。この技術によれば、イメージプロセス部内にバッファを設ける必要がなくなるために、該イメージプロセス部の回路規模を小さくすることができる利点がある。

【0019】

さらに、上記カメラの光学系においては、色収差が発生することが知られている。この色収差は、光学系に光が入射するときに、光の波長によって屈折率が異なることに起因して発生するものであり、光学系により光学像を結像する際に、波長毎に結像される光学像が微妙にずれる現象となって現れる。光学系は、この色収差ができるだけ小さくなるように設計されるが、配置スペースや重量、コストなどの観点から、色収差を全てなくすることは困難となっている。

【0020】

【特許文献1】

特開2000-311241号公報

【0021】

【特許文献2】

特開2000-312327号公報

【0022】

【特許文献3】

特開平 6-181530 号公報

【0023】

【特許文献 4】

特開平 10-224695 号公報

【0024】

【発明が解決しようとする課題】

上記特開平 6-181530 号公報に記載されたものでは、画像処理としての歪補正を、補正後の画像の 1 ライン分について行うためには、図 19 に示すような、補正前の画像データを、歪補正に必要な複数ライン分だけ、画像全体の横方向の幅に渡って読み出す必要がある。この図 19 は、従来において歪補正処理を行うために必要なメモリ量を説明するための図である。これら複数ライン分の画像データは、イメージプロセス部の内部に設けられたバッファに一旦蓄積されてから処理されるために、1 ライン分の補正画像を得るには、バッファとして比較的大きな容量が必要になり、回路規模が大きくなって製造コストが増すとともに消費電力も増加してしまう。さらに、イメージプロセス部内のバッファメモリ容量によって、処理可能な画像サイズが制限されてしまうことになる。

【0025】

また、上記特開平 10-224695 号公報に記載されたものでは、SDRAM 等で構成されたフレームメモリにランダムにアクセスしようとすると、バースト転送ができないために、その度毎にアドレスの転送が必要となって、結局バスの負荷が増大し、消費電力も増加してしまう。さらに、ランダムにアクセスするため、SDRAM から高速に読み出せるバースト転送に比べて、データの転送時間が全体の処理時間を増大させる要因となる。

【0026】

そして、上述したような色収差についても、コスト等をあまり増加させることなく、良好に補正することができることが望ましい。

【0027】

本発明は上記事情に鑑みてなされたものであり、歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置を提供することを目的としてい

る。

【0028】

【課題を解決するための手段】

上記の目的を達成するために、第1の発明による画像処理装置は、光学系を介して撮像することにより得られた電子的な画像データであって複数の成分で構成される画像データを処理する画像処理装置において、上記光学系に起因する歪曲収差を補正するのに用いるための歪補正係数を歪中心位置からの距離に基づき上記成分毎に算出する歪補正係数算出手段と、上記歪補正係数算出手段により算出された成分毎の歪補正係数を用いて上記画像データを成分毎に歪補正する歪補正演算手段と、を有して構成される歪補正処理手段を具備したものである。

【0029】

また、第2の発明による画像処理装置は、上記第1の発明による画像処理装置において、上記歪補正演算手段が、上記画像データを構成する全ての成分に一対一に対応して複数設けられたものである。

【0030】

さらに、第3の発明による画像処理装置は、上記第2の発明による画像処理装置において、上記歪補正演算手段が、画像データを記憶するための内部バッファを有して構成されるとともに歪補正処理を行うに必要な画像データが該内部バッファに蓄積された段階で歪補正処理開始要求を出力するものであり、上記複数の歪補正演算手段の全てからの歪補正処理開始要求が揃った後にこれら全ての歪補正演算手段に対して歪補正処理を開始させるように制御するグラント同期手段をさらに具備したものである。

【0031】

第4の発明による画像処理装置は、上記第3の発明による画像処理装置において、上記グラント同期手段が、歪補正係数の算出処理を許可するための許可信号を上記歪補正係数算出手段に出力して、該歪補正係数算出手段による全ての成分に係る歪補正係数の算出を開始させることにより、全ての歪補正演算手段に対して歪補正処理を開始させるように制御するものである。

【0032】

第5の発明による画像処理装置は、上記第1から第4の発明による画像処理装置において、上記歪補正係数算出手段が、その少なくとも一部が、上記成分毎の歪補正係数を算出する際に全ての成分に対して共通に用いられる部分として構成されたものである。

【0033】

第6の発明による画像処理装置は、上記第5の発明による画像処理装置において、上記歪補正係数算出手段が、上記歪中心位置からの距離の2乗値を算出して該2乗値に基づき上記歪補正係数を成分毎に求めるものであり、上記全ての成分に対して共通に用いられる部分は、この歪中心位置からの距離の2乗値を算出する部分である。

【0034】

第7の発明による画像処理装置は、上記第6の発明による画像処理装置において、上記歪補正係数算出手段が、上記歪中心位置からの距離の2乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを上記成分毎に有して構成されており、上記算出した距離の2乗値に基づき上記成分毎のルックアップテーブルを参照することにより上記歪補正係数を成分毎に求めるものである。

【0035】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

図1から図16は本発明の一実施形態を示したものであり、図1は画像処理装置の構成を示すブロック図である。

【0036】

この画像処理装置は、光学系により結像された光学的な被写体像を光電変換して電氣的な撮像信号を生成する撮像素子たるCCD1と、このCCD1から出力される撮像信号に画素欠陥の補正やA/D変換などのプリプロセス処理を行うプリプロセス部2と、このプリプロセス部2により処理された後のフレーム画像を記憶するフレームメモリ4と、このフレームメモリ4に記憶された画像データを後述するバス11を介して所定ブロック毎に読み出し所定の画像処理を施す画像処理部たるイメージプロセス部6と、このイメージプロセス部6による処理後の

画像データに歪補正処理や拡大縮小処理を行うための画像処理部であり歪補正処理手段たる歪補正処理部 7 と、この歪補正処理部 7 から出力される画像データを J P E G 等の圧縮方式により圧縮する画像処理部たる J P E G 処理部 9 と、この J P E G 処理部 9 により圧縮された画像データを後述するバス 11 を介して一旦フレームメモリ 4 に書き込み、この書き込まれた画像データをバス 11 を介して読み出して入力し画像ファイルとして記憶する不揮発性の記憶手段たるメモリカード等 10 と、上記 C C D 1 を除く上記各回路と後述する C P U 3 とが接続されているバス 11 と、上述した各回路を含むこの画像処理装置を統括的に制御する制御手段たる C P U 3 と、を有して構成されている。

【0037】

ここに、上記イメージプロセス部 6、歪補正処理部 7、J P E G 処理部 9 は、バス 11 を介することなく、該バス 11 とは異なる情報伝達経路でパイプライン処理可能なように接続されていて、画像データを、2 次元的な画素配列における所定のブロック単位で転送して処理するようになっている。これにより、データ量の大きい画像データが、各プロセス毎にバス 11 を何度も転送されることがなくなるために、バス 11 の負荷を大幅に軽減することが可能であるとともに、処理をブロック単位で行うことにより画像処理部の内部バッファ（後述する図 3 に示す内部メモリ部 25 または図 14 に示す 2 ポート S R A M 25 a）の容量を小さくすることが可能となっている。

【0038】

また、この図 1 に示す例においては、画像処理を行うイメージプロセス部 6 を 1 つのみ設けているが、複数の画像処理に対応した複数のイメージプロセス部を、上記パイプライン処理経路上に配置するようにしても構わないことは勿論である。ここに画像処理の例としては、上述と同様に、単板信号から 3 板信号への変換処理や、ローパスフィルタ処理、エッジ強調処理、拡大縮小処理などが挙げられる。このときの配置は、上記歪補正処理部 7 よりも前段側であっても構わないし、後段側であっても構わない。

【0039】

図 2 は、上記歪補正処理部 7 の構成の概要を示すブロック図である。

【0040】

カラー画像データは、通常、RGBやYCbCrなどの3つ（もしくはそれ以上）の独立した信号成分に分解され、各成分毎に処理が行われるようになっている。ここでは、3つの独立した信号成分のそれぞれが処理される経路（チャンネル）をCh. 0、Ch. 1、Ch. 2として説明するが、具体的には、例えばCh. 0で処理される信号がR、Ch. 1で処理される信号がG、Ch. 2で処理される信号がBなどとなる。

【0041】

この歪補正処理部7は、各チャンネル毎の歪補正処理部が、前段の対応するチャンネルの処理ブロックへリクエストを送信し、該リクエストに応じて前段の処理ブロックから送信される画像データを所定ブロック単位で受け取って、歪補正を行った後に、後段の対応するチャンネルの処理ブロックへ出力するようになっている。具体的には、Ch. 0データを処理するための歪補正処理部が7A、Ch. 1データを処理するための歪補正処理部が7B、Ch. 2データを処理するための歪補正処理部が7C、となっていて、これらが上記歪補正処理部7に含まれている。なお、これらの歪補正処理部7A、7B、7Cは、後段のブロックから画像データを送信して欲しい旨のリクエストを受信すると、送信可能になった段階で、画像データを所定のブロック単位で該後段のブロックへ送信するようになっている。

【0042】

なお、上記図1に示したような構成例においては、前段の処理ブロックがイメージプロセス部6に対応し、後段の処理ブロックがJPEG処理部9に対応していて、これらの前段および後段の処理ブロックも、各チャンネル毎に処理を行うように構成されている。

【0043】

歪補正処理部7には、制御レジスタ7aが付随して設けられており、CPU3からの該歪補正処理部7に対する設定値や各種データなどが上記歪補正処理部7A、7B、7Cへ設定され、同時に処理結果のステータスなどをCPU3から読み取ることができるようになっている。

【0044】

上記歪補正処理部7の1つのチャンネルに係る部分の処理の概要は、おおよそ、次のようになっている。図5は歪補正を含む補間処理の概要を説明するための図、図6は16点補間による処理を説明するための図である。

【0045】

まず、図5(B)に示すような歪補正処理後の画像の座標系(X, Y)を予め準備しておく。この座標系(X, Y)における画像データは、歪補正処理を開始する前は、当然にしてまだ何も求められていない。

【0046】

該座標系(X, Y)における着目点(注目画素)(これは、歪補正処理後の画像における各画素の座標に対応しており、同様に、(X, Y)と表す。)を設定して、該着目点(X, Y)に対応する画像データの座標(補間座標データ)(X', Y')を座標変換により求める(図5(A)参照)。この(X, Y)と(X', Y')との対応関係は、上記CCD1へ被写体像を結像するための光学系の光学的性質により決まるものであり、該対応関係を定義付けるパラメータ等は、光学系の設計値から、あるいは製造後の光学系の検査から、予め求められて、図示しない不揮発性メモリ等に記憶されている。そして、上記CPU3が、この不揮発性メモリ等からパラメータを読み出して、上記制御レジスタ7aに設定するようになっている。

【0047】

こうして対応関係により座標(X', Y')を求めると、該座標(X', Y')における画像データを求めるために必要な周辺の画像データの座標が決定される。例えば、Cubic補間処理を行う場合には、図6に示すように、該座標(X', Y')(図6における画像データがDoutとなっている点)に対して周辺の16点の座標が決定される。

【0048】

従って、これら16点の座標における画像データD0～D15から、白丸で示されている座標(X', Y')の点の画像データDoutを所定の補間式を用いて求めることにより、それが歪補正処理後の画像の着目点(X, Y)における画像

データとなる。

【0049】

上記着目点 (X, Y) を移動させながら、必要な範囲の全ての画像データを算出することにより、歪補正後の画像データが生成される。

【0050】

図3は、1つのチャンネルに係る歪補正処理部の構成を示すブロック図である。

【0051】

このような処理を行うための1つのチャンネルに係る歪補正処理部7は、図3に示すように、着目点の座標 (X, Y) を生成するための補間位置生成部21と、この補間位置生成部21により生成された着目点の座標 (X, Y) から歪補正処理前の画像データの座標 (X', Y') を算出するための歪補正座標変換部22と、歪補正処理を行わない場合には上記補間位置生成部21から出力される座標 (X, Y) を選択し歪補正処理を行う場合には上記歪補正座標変換部22から出力される座標 (X', Y') を選択するセレクタ23と、前段の処理ブロックからの画像データの読み出しを制御するとともに上記セレクタ23から出力される座標に対応して補間処理を行うのに必要な周辺画素の画像データを送出するように後述する内部メモリ部25を制御するメモリ制御部24と、前段の処理ブロックからの画像データを蓄積するものであり上記メモリ制御部24の制御により補間に必要な周辺画素の画像データを後述する補間演算部26へ出力する内部メモリ部25と、この内部メモリ部25から出力される着目点近傍の画像データと上記セレクタ23から出力される着目点の座標とに基づき該着目点における画像データを上述したように例えばCubic補間により求めて後段の処理ブロックへ出力する補間演算部26と、を有して構成されている。

【0052】

これらの構成ブロックの内の上記補間位置生成部21と、歪補正座標変換部22と、セレクタ23とは、補間座標生成部20を構成する要素となっている。

【0053】

ここで、上記補間位置生成部21と歪補正座標変換部22とにおいて、座標を

算出する際の基本的な数式と、それを変形することにより回路規模を縮小することができるようにした実用的な数式と、について説明する。

【0054】

まず、基本的な数式について説明する。

【0055】

上記補間位置生成部21は、基本的に、上記CPU3から上記制御レジスタ7aに設定される補間開始位置(XST, YST)および補間ステップ(ΔX , ΔY)を用いて、次の数式1に示すように、補間を行う着目点の座標(X, Y)を算出するものである。

【数1】

$$\begin{cases} X = X_{ST} + k \times \Delta X \\ Y = Y_{ST} + l \times \Delta Y \end{cases}$$

ここに、kは着目点をX方向に ΔX だけ移動させる際にインクリメントされる変数、lは着目点をY方向に ΔY だけ移動させる際にインクリメントされる変数である。

【0056】

なお、上記補間開始位置(XST, YST)は、画像内の任意の位置に設定することが可能である。また、上記補間ステップ(ΔX , ΔY)は、上記CPU3が適宜に設定することにより、画像の拡大や縮小を行うことが可能である。

【0057】

上記歪補正座標変換部22は、基本的に、上記補間位置生成部21から出力される歪補正処理後の着目点の座標(X, Y)から、歪補正処理前の着目点の座標(X', Y')を次のように算出するものである。

【0058】

すなわち、まず、処理対象の画像における歪中心位置の座標(Xd, Yd)と、歪補正処理後に該歪補正に起因して被写体の位置が撮影時とずれてしまうのを補正するための中心ずれ補正量(Xoff, Yoff)と、光学系の光学的な性質を示すパラメータを用いて歪補正処理を行った場合に補正後の画像が画像データと

して必要な範囲からはみ出したり不足したりするのを補正するための範囲補正倍率Mと、を用いて、次の数式2に示すような中間的な算出値（X（ドット）、Y（ドット））（ここに、文字の上に付す点を文章中では（ドット）などとして表している。）を求める。

【数2】

$$\begin{cases} \dot{X} = M \cdot (X - X_d) + (X_d + X_{off}) \\ \dot{Y} = M \cdot (Y - Y_d) + (Y_d + Y_{off}) \end{cases}$$

【0059】

なお、上記歪中心位置の座標（X_d、Y_d）は、上記CCD1に被写体光像を結像する光学系の光軸が交わる画像上の位置に相当する座標である。

【0060】

また、上記歪中心位置の座標（X_d、Y_d）、中心ずれ補正量（X_{off}、Y_{off}）、範囲補正倍率Mは、上記CPU3により、上記制御レジスタ7aに設定されるようになっている。

【0061】

次に、求めた算出値（X（ドット）、Y（ドット））と、上記歪中心位置の座標（X_d、Y_d）と、画像データを間引いて取り込んだ場合などに画像の縦方向と横方向とで空間的なサンプリングが異なるのを補正するための係数（S_X、S_Y）と、を用いて、歪中心からの距離を示すZ（より正確にはZの2乗）を次の数式3に示すように計算する。

【数3】

$$Z^2 = \left\{ S_X \cdot (\dot{X} - X_d) \right\}^2 + \left\{ S_Y \cdot (\dot{Y} - Y_d) \right\}^2$$

【0062】

こうして算出されたZと、上記CPU3から上記制御レジスタ7aに設定される光学系の歪曲収差に関する光学的性質を示すパラメータである歪補正係数A、

B, Cと、上記算出値 (X (ドット), Y (ドット)) と、上記歪中心位置の座標 (Xd, Yd) と、を用いて、歪補正処理後の着目点の座標 (X, Y) に対応する歪補正処理前の着目点の座標 (X', Y') を、次の数式 4 に示すように算出する。

【数 4】

$$\begin{cases} X' = (\dot{X} - X_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6] + X_d \\ Y' = (\dot{Y} - Y_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6] + Y_d \end{cases}$$

【0063】

ここで図 4 は、格子状の被写体を光学系を介して撮像したときの歪曲収差の例を示す図である。まず、図 4 (A) は、格子状の被写体の例を示している。従来は、Z の 2 次項までしか考慮していないために、図 4 (A) に示すような被写体を光学系を介して撮像したときに生じ得る、図 4 (B) に示すような樽型の歪曲収差や、図 4 (C) に示すような糸巻き型の歪曲収差をある程度補正することは可能であったが、図 4 (D) に示すような陣笠型の歪曲収差を補正することはできなかった。しかし、本実施形態では、この数式 4 に示すように、Z の 2 次項を越える次数まで、つまり例えば 4 次項、または 6 次項まで考慮するようにしているために、このようなより高次の収差も高精度に補正することが可能となっている。なお、ここでは 6 次項まで考慮する例を示したが、8 次項、10 次項等の、より一層高次の収差も補正するようにしても構わない。

【0064】

上述したような補間位置生成部 21 により算出された座標 (X, Y)、または歪補正座標変換部 22 により算出された座標 (X', Y') は、セレクタ 23 に入力されて、歪補正を行うか否かに応じて、必要なものが選択される。

【0065】

次に、回路規模を縮小することができるようにした実用的な数式について説明する。

【0066】

まず、上記数式 3 に数式 2 および数式 1 を代入して、次の数式 5 に示すように変形する。

【数 5】

$$\begin{aligned} Z^2 &= M^2 \cdot \left(\left[S_X \cdot \left\{ (X - X_d) + \frac{X_{off}}{M} \right\} \right]^2 + \left[S_Y \cdot \left\{ (Y - Y_d) + \frac{Y_{off}}{M} \right\} \right]^2 \right) \\ &= M^2 \cdot \left(\left[S_X \cdot \left\{ (X_{ST} + k\Delta X - X_d) + \frac{X_{off}}{M} \right\} \right]^2 + \left[S_Y \cdot \left\{ (Y_{ST} + l\Delta Y - Y_d) + \frac{Y_{off}}{M} \right\} \right]^2 \right) \end{aligned}$$

【0067】

そして、数式 6 に示すような新たな定数式を導入して、上記数式 5 を数式 7 に示すように変形する。

【数 6】

$$\begin{cases} \ddot{X}_{ST} = S_X \cdot \left\{ (X_{ST} - X_d) + \frac{X_{off}}{M} \right\} \\ \ddot{Y}_{ST} = S_Y \cdot \left\{ (Y_{ST} - Y_d) + \frac{Y_{off}}{M} \right\} \\ \Delta \ddot{X} = S_X \times \Delta X \\ \Delta \ddot{Y} = S_Y \times \Delta Y \end{cases}$$

【数 7】

$$Z^2 = M^2 \ddot{Z}^2 = M^2 \cdot \left\{ \left(\ddot{X}_{ST} + k\Delta \ddot{X} \right)^2 + \left(\ddot{Y}_{ST} + l\Delta \ddot{Y} \right)^2 \right\}$$

【0068】

ここに、数式 7 における Z (2 ドット) は、次の数式 8 に示すように定義され、 X_2 , Y_2 (補間座標データ) は次の数式 9 に示すように定義される。

【数 8】

$$\ddot{Z} = \frac{Z}{M}$$

【数 9】

$$\begin{cases} X_2 = \ddot{X}_{ST} + k\Delta\ddot{X} \\ Y_2 = \ddot{Y}_{ST} + l\Delta\ddot{Y} \end{cases}$$

【0069】

この数式 8 および数式 7 に示すように定義された Z (2 ドット) を用いると、
上記数式 4 は次の数式 10 に示すように変形される。

【数 10】

$$\begin{cases} X' = \left[1 + (AM^2)\ddot{Z}^2 + (BM^4)\ddot{Z}^4 + (CM^6)\ddot{Z}^6 \right] \cdot (\dot{X} - X_d) + X_d \\ \quad = \left[1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6 \right] \cdot (\dot{X} - X_d) + X_d \\ \quad = \left[1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6 \right] \cdot \left\{ M(X_{ST} - X_d) + X_{off} + M \cdot k\Delta X \right\} + X_d \\ \quad = \left[1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6 \right] \cdot (\ddot{X} + k\Delta\ddot{X}) + X_d \\ \quad = F \cdot X_1 + X_d \\ Y' = \left[1 + (AM^2)\ddot{Z}^2 + (BM^4)\ddot{Z}^4 + (CM^6)\ddot{Z}^6 \right] \cdot (\dot{Y} - Y_d) + Y_d \\ \quad = \left[1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6 \right] \cdot (\dot{Y} - Y_d) + Y_d \\ \quad = \left[1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6 \right] \cdot \left\{ M(Y_{ST} - Y_d) + Y_{off} + M \cdot l\Delta Y \right\} + Y_d \\ \quad = \left[1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6 \right] \cdot (\ddot{Y} + l\Delta\ddot{Y}) + Y_d \\ \quad = F \cdot Y_1 + Y_d \end{cases}$$

【0070】

ここに、この数式 10 においては、次の数式 11 から数式 14 に示すように定義された定数式または変数式を用いている。

【数 1 1】

$$\begin{cases} \dot{A} = AM^2 \\ \dot{B} = BM^4 \\ \dot{C} = CM^6 \end{cases}$$

【数 1 2】

$$\begin{cases} \ddot{X} = M(X_{ST} - X_d) + X_{off} \\ \Delta \ddot{X} = M \cdot \Delta X \\ \ddot{Y} = M(Y_{ST} - Y_d) + Y_{off} \\ \Delta \ddot{Y} = M \cdot \Delta Y \end{cases}$$

【数 1 3】

$$\begin{cases} X1 = \ddot{X} + k\Delta \ddot{X} \\ Y1 = \ddot{Y} + l\Delta \ddot{Y} \end{cases}$$

【数 1 4】

$$F = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6]$$

【0071】

上記数式 1～数式 4 に示したような基本的な数式に沿って演算を行う場合には、係数が 14 個で乗算回数が 13 回となる。すなわち、係数は、歪中心位置（ X_d ， Y_d ）、中心ずれ補正量（ X_{off} ， Y_{off} ）、範囲補正倍率 M 、係数（ S_x ， S_y ）、歪補正係数 A ， B ， C 、補間開始位置（ X_{ST} ， Y_{ST} ）、補間ステップ（ ΔX ， ΔY ）の合計 14 個である。また、乗算回数は、数式 2 における M との乗算が 2 回、数式 3 における S_x ， S_y との各乗算と 2 つの 2 乗式とで乗算が 4 回、数式 4 における歪補正係数 A ， B ， C との乗算が 3 回、 Z の 4 乗および 6 乗の算出に乗算が 2 回、大括弧と小括弧との乗算が 2 回、で合計 13 回となる。

【0072】

これに対して、上記数式 5～数式 14 に示したような実用的な数式に沿って演算を行う場合には、係数が 13 個で乗算回数が 9 回となる。すなわち、係数は、 X (2 ドット) ST, Y (2 ドット) ST, ΔX (2 ドット), ΔY (2 ドット), X (3 ドット), Y (3 ドット), ΔX (3 ドット), ΔY (3 ドット), A (ドット), B (ドット), C (ドット), X_d , Y_d の合計 13 個である。また、乗算回数は、数式 7 の中括弧内における 2 つの 2 乗式で 2 回、数式 14 における A (ドット), B (ドット), C (ドット) との乗算が 3 回、該数式 14 における Z (ドット) の 4 乗および 6 乗の算出に乗算が 2 回、数式 10 における F との乗算が 2 回、で合計 9 回となる。

【0073】

このような演算で扱う数は、ダイナミックレンジが大きく、計算回数が少し増えるだけでも回路規模が大きくなってしまいうために、上記に示したような実用的な数式に沿って演算を行うことにより、乗算器の個数を減少させるとともに、係数を設定するためのレジスタを削減することができ、回路規模を効果的に縮小することが可能となる。

【0074】

このように変形された実用的な数式に基づいて、上記補間位置生成部 21 に対応する補間位置算出回路 21a (後述する図 14 参照) は、上記 CPU 3 から上記制御レジスタ 7a に設定される補間開始位置 (X (3 ドット), Y (3 ドット)) および補間ステップ (ΔX (3 ドット), ΔY (3 ドット)) を用いて、上記数式 13 に示すように、補間を行う着目点の座標 (補間位置) (X_1 , Y_1) を算出するようになっている。

【0075】

また、上記歪補正座標変換部 22 の歪補正係数算出手段たる歪補正係数算出回路 22a (後述する図 11 参照) は、上記 CPU 3 から上記制御レジスタ 7a に設定される A (ドット), B (ドット), C (ドット) を用いて、上記数式 14 に示すように歪補正係数 F を算出するようになっている。なお、後述するように、該図 11 に示す構成に代えて、図 13 に示すような構成により、歪補正係数 F を算出することも可能となっている。

【0076】

さらに、上記歪補正座標変換部22の補間位置補正回路22b（後述する図14参照）は、算出された歪補正係数Fと、上記CPU3から上記制御レジスタ7aに設定される歪中心位置の座標（Xd，Yd）と、を用いて上記着目点の座標（補間位置）（X1，Y1）から上記数式10により歪補正処理前の着目点の座標（補間座標データ）（X'，Y'）を算出するようになっている。

【0077】

次に、上記補間演算部26は、上記セクタ23から出力される座標に基づき、該座標の近傍の画素の画像データD0～D15を上記内部メモリ部25から読み出して、次のような数式15を用いることにより、該着目点に係る歪補正処理後の画像データDoutを算出して、後段の処理ブロックへ出力する。

【数15】

$$\begin{aligned}
 D_{out} = & k_{x0} (k_{y0} D_0 + k_{y1} D_4 + k_{y2} D_8 + k_{y3} D_{12}) \\
 & + k_{x1} (k_{y0} D_1 + k_{y1} D_5 + k_{y2} D_9 + k_{y3} D_{13}) \\
 & + k_{x2} (k_{y0} D_2 + k_{y1} D_6 + k_{y2} D_{10} + k_{y3} D_{14}) \\
 & + k_{x3} (k_{y0} D_3 + k_{y1} D_7 + k_{y2} D_{11} + k_{y3} D_{15})
 \end{aligned}$$

ここに、kx0～kx3，ky0～ky3は、例えばCubic補間を行う際に定められた所定の補間係数である。

【0078】

図7は、光学系により画像を撮影したときに発生する色収差の一例を示す図である。

【0079】

この図7に示す例においては、糸巻き型の歪曲収差が発生するとともに、赤Rが歪中心から見て緑Gの内側に、青Bが歪中心から見て緑Gの外側に、それぞれずれるような色収差が発生している。そして、この色収差によるずれは、歪中心からの距離が遠いほど大きくなっている。

【0080】

このように、色収差は各色毎に異なるために、補間処理も上記図 2 に示したように、各色毎に行っている。図 10 は、上記歪補正処理部 7 のより詳細な構成を示すブロック図である。

【0081】

上記歪補正処理部 7 A は Ch. 0 用歪補正回路 7 A 1 を、上記歪補正処理部 7 B は Ch. 1 用歪補正回路 7 B 1 を、上記歪補正処理部 7 C は Ch. 2 用歪補正回路 7 C 1 を、それぞれ歪補正演算手段として有して構成されている。

【0082】

また、歪補正係数 F を算出するための歪補正係数算出回路 22 a は、上記歪補正座標変換部 22 の一部を構成するものであり、歪補正処理部 7 A, 7 B, 7 C において共通化することができるために、3 つのチャンネルに共通な単一の回路として設けられていて、Ch. 0 用の歪補正係数 F_0 、Ch. 1 用の歪補正係数 F_1 、Ch. 2 用の歪補正係数 F_2 を算出して、上記 Ch. 0 用歪補正回路 7 A 1、Ch. 1 用歪補正回路 7 B 1、Ch. 2 用歪補正回路 7 C 1 へそれぞれ出力するようになっている。

【0083】

また、歪補正処理や拡大縮小処理に係る補間処理を行った後に、後段の処理ブロックに対して画像データを出力する際には、該後段の処理ブロックの処理内容によっては、3 つのチャンネルの画像データが同時に必要となる場合がある。ところが、上記図 7 に示したように、色収差がある場合には注目画素の位置が色によって異なるために、3 つのデータが同時に揃って出力されるとは限らない。

【0084】

これを図 8 および図 9 を参照して説明する。図 8 は B に係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図、図 9 は R, G, B のそれぞれに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図である。

【0085】

3 つのチャンネルで補間データの算出処理を同時に開始した場合には、前段の処理ブロックからの画像データが、各チャンネルの内部メモリ部 25 (後述する

図 6 に示す 2 ポート S R A M 2 5 a) に順次記憶され始める。このときに、既にデータとして記憶されている部分が、斜線で示している部分である。図 8 に示す時点では、青 B に関する補間データの算出が可能なところまで画像データの蓄積が行われているが、緑 G および赤 R に関する補間データの算出を行うことができる量にはまだ至っていない。

【0086】

また、図 9 に示す時点では、赤 R、緑 G、青 B に関する補間データの算出を行うことが可能なところまで画像データの蓄積が行われている。

【0087】

このように、3つのチャンネルの補間データを算出可能になった時点で、後段の処理ブロックへの画像データの転送を許可するように同期させるのが、グラント同期手段たるグラント同期回路 27 である。

【0088】

C h. 0 が R、C h. 1 が G、C h. 2 が B である場合を例にとると、上記図 8 に示すような状態になったところで上記 C h. 0 用歪補正回路 7 A 1 が歪補正処理の開始を要求する要求信号 t r o k__0 を出力し、図示はしないが C h. 1 用歪補正回路 7 B 1 が歪補正処理可能となった時点で歪補正処理の開始を要求する要求信号 t r o k__1 を出力し、上記図 9 に示すような状態になったところで C h. 2 用歪補正回路 7 C 1 が歪補正処理の開始を要求する要求信号 t r o k__2 を出力するようになっている。

【0089】

グラント同期回路 27 は、これらの要求信号 t r o k__0, t r o k__1, t r o k__2 が全て揃った後に、すなわち、3つのチャンネルの全てで補間データを送信することが可能になったところで、後段の処理ブロックの、C h. 0 に係る処理を行う部分に対して許可信号 G R A N T__N 0 を、C h. 1 に係る処理を行う部分に対して許可信号 G R A N T__N 1 を、C h. 2 に係る処理を行う部分に対して許可信号 G R A N T__N 2 を、それぞれ出力するとともに、上記 C h. 0 用歪補正回路 7 A 1、C h. 1 用歪補正回路 7 B 1、C h. 2 用歪補正回路 7 C 1 に対して後述するように歪補正処理を同時に開始させるよう制御するように

なっている。

【0090】

なお、該グラント同期回路 27 は、後述するように、内部にスイッチを有しており、3つのチャンネルの出力を同期させるか否かを切り換えることができるようになっている。

【0091】

図 11 は、上記歪補正係数算出回路 22 a の構成を示すブロック図である。

【0092】

この歪補正係数算出回路 22 a は、上記数式 14 によって、歪補正係数 F を算出するためのものであり、該数式 14 における光学系の光学的性質を反映する A (ドット)、 B (ドット)、 C (ドット) は、各チャンネル毎に、つまり例えば RGB の各色成分毎に、上記 CPU 3 から制御レジスタ 7 a に設定されるようになっている。

【0093】

なお、この図 11 および後述する図 12、図 13 において、そして以下に示す図 11 から図 13 までの説明においては、 Z は数式 8 の左辺に示す Z (2 ドット) のことを指し、係数 A 、 B 、 C は数式 11 の左辺に示す A (ドット)、 B (ドット)、 C (ドット) のことを指している。

【0094】

歪補正係数算出回路 22 a は、上記グラント同期回路 27 から許可信号 e_grant が入力されたところで上記数式 9 に基づき補間座標 X_2 、 Y_2 を算出する歪補正用座標算出回路 31 と、この歪補正用座標算出回路 31 により算出された補間座標 X_2 を浮動小数に変換する浮動小数化回路 32 a と、上記歪補正用座標算出回路 31 により算出された補間座標 Y_2 を浮動小数に変換する浮動小数化回路 32 b と、上記浮動小数化回路 32 a により浮動小数化された補間座標 X_2 を 2 乗する 2 乗計算器 33 a と、上記浮動小数化回路 32 b により浮動小数化された補間座標 Y_2 を 2 乗する 2 乗計算器 33 b と、上記 2 乗計算器 33 a により算出された補間座標 X_2 の 2 乗と上記 2 乗計算器 33 b により算出された補間座標 Y_2 の 2 乗とを加算することにより Z (より正確には、上述したように Z (2

ドット)。以下同様) の 2 乗を算出する加算器 34 と、この加算器 34 からの出力を 2 乗することにより Z の 4 乗を算出する 2 乗計算器 33c と、上記加算器 34 からの出力を遅延させる遅延回路 35b と、上記 2 乗計算器 33c により算出された Z の 4 乗とこの遅延回路 35b により遅延されタイミングを合わせて出力される Z の 2 乗とを乗算することにより Z の 6 乗を算出する乗算器 36 と、上記加算器 34 からの出力を遅延させるとともに上記 2 乗計算器 33c からの出力を遅延させる遅延回路 35a と、この遅延回路 35a からタイミングを合わせて出力される Z の 2 乗および Z の 4 乗と上記乗算器 36 から出力される Z の 6 乗とを用いて Ch. 0 用, Ch. 1 用, Ch. 2 用の歪補正係数 F0, F1, F2 をそれぞれ算出する距離依存係数算出回路 37a, 37b, 37c と、を有して構成されている。

【0095】

図 12 は上記距離依存係数算出回路 37a, 37b, 37c の任意の 1 つである距離依存係数算出回路 37 の構成を示すブロック図である。

【0096】

この距離依存係数算出回路 37 は、上記遅延回路 35a から遅延されタイミングを合わせて出力される Z の 2 乗に上記 CPU 3 から制御レジスタ 7a に設定される係数 A (より正確には、上述したように A (ドット)。以下同様) を乗算する乗算器 41a と、上記遅延回路 35a から遅延されタイミングを合わせて出力される Z の 4 乗に上記 CPU 3 から制御レジスタ 7a に設定される係数 B (より正確には、上述したように B (ドット)。以下同様) を乗算する乗算器 41b と、上記乗算器 36 から出力される Z の 6 乗に上記 CPU 3 から制御レジスタ 7a に設定される係数 C (より正確には、上述したように C (ドット)。以下同様) を乗算する乗算器 41c と、上記乗算器 41a からの出力に上記 CPU 3 から制御レジスタ 7a に設定される上記係数 A の符号 *sign A* を与えて固定小数に変換する固定小数化回路 42a と、上記乗算器 41b からの出力に上記 CPU 3 から制御レジスタ 7a に設定される上記係数 B の符号 *sign B* を与えて固定小数に変換する固定小数化回路 42b と、上記乗算器 41c からの出力に上記 CPU 3 から制御レジスタ 7a に設定される上記係数 C の符号 *sign C* を与えて固定

小数に変換する固定小数化回路 42c と、上記固定小数化回路 42a からの出力と上記固定小数化回路 42b からの出力と上記固定小数化回路 42c からの出力と上記 CPU3 から制御レジスタ 7a に設定される定数 1.0 とを加算することにより上記数式 14 に基づく歪補正係数 F (すなわち、歪補正係数 F0, F1, F2 の何れか) を算出する加算器 43 と、を有して構成されている。

【0097】

なお、図 11 および図 12 において、2 重線で示している部分が、浮動小数による演算処理を行っている部分であり、ダイナミックレンジの広い X2, Y2 や Z など浮動小数で扱うことにより、精度を保ちながら回路規模を縮小するようになっている。

【0098】

このとき、上記図 11 に示したように、歪補正係数算出回路 22a の一部、すなわち、歪補正用座標算出回路 31、浮動小数化回路 32a, 32b、2 乗計算器 33a, 33b, 33c、加算器 34、遅延回路 35a, 35b、乗算器 36 は、チャンネルによらない共通した部分として構成されている。これにより、さらに回路規模の縮小を図って、消費電力を低減することができるようになっている。

【0099】

また、図 13 は、上記歪補正係数算出回路 22a の構成の他の例を示すブロック図である。

【0100】

この図 13 に示す歪補正係数算出回路 22a は、上記歪補正用座標算出回路 31 と、上記浮動小数化回路 32a と、上記浮動小数化回路 32b と、上記 2 乗計算器 33a と、上記 2 乗計算器 33b と、上記加算器 34 と、この加算器 34 から出力される浮動小数化された Z (より正確には、上述したように Z (2 ドット))。以下同様) の 2 乗を用いて参照を行うことにより固定小数化された歪補正係数 F0, F1, F2 をそれぞれ出力する LUT (ルックアップテーブル) 39a, 39b, 39c と、を有して構成されている。

【0101】

この図 13 においても、2 重線で示している部分が、浮動小数による演算処理を行っている部分である。

【0102】

このように、この図 13 に示す構成例は、ルックアップテーブルを用いることにより、歪補正係数 F_0 、 F_1 、 F_2 を算出するための処理時間を短縮し回路の消費電力を低減するものとなっている。

【0103】

なお、この構成例を適用する場合には、チャンネル毎の上記係数 A 、 B 、 C は CPU 3 から設定されるものではなく、固定値となっている。もちろん、ルックアップテーブルの規模が大きくなっても構わない場合には、上記係数 A 、 B 、 C の複数の組み合わせに対応するルックアップテーブルをチャンネル毎に用意しておいて、適切なものを用いるようにしても構わない。

【0104】

次に、図 14 は、上記 $Ch. 0$ 用歪補正回路 7A1 の構成を示すブロック図である。 $Ch. 1$ 用歪補正回路 7B1、 $Ch. 2$ 用歪補正回路 7C1 の構成も、この $Ch. 0$ 用歪補正回路 7A1 の構成と同様であるために、ここでは $Ch. 0$ 用歪補正回路 7A1 についてのみ説明する。

【0105】

補間位置算出回路 21a は、上記着目点の座標 (X_1 、 Y_1) を上述したように算出するためのものであり、上記補間位置生成部 21 に対応する回路部分である。

【0106】

補間位置補正回路 22b は、上記歪補正係数算出回路 22a により算出された歪補正係数 F_0 を用いて上記数式 10 に示したように歪補正処理前の着目点の座標 (X' 、 Y') を算出するためのものであり、上記歪補正座標変換部 22 の一部となっている。

【0107】

上記セクタ 23 は、歪補正処理を行わない場合には（拡大縮小処理を行うか否かに関わらず）上記補間位置算出回路 21a からの座標 (X_1 、 Y_1) を選択

し、歪補正処理を行う場合には（拡大縮小処理を伴うか否かに関わらず）上記補間位置補正回路 22b からの座標 (X', Y') を選択するものである。

【0108】

このセクタ 23 により選択された座標 $(X1, Y1)$ または座標 (X', Y') には、制御レジスタ 7a を介して上記 CPU 3 により設定される歪中心位置の座標 (Xd, Yd) が、加算器 27a, 27b によりそれぞれ加算されるようになっている。

【0109】

これら加算器 27a, 27b の出力は、読出しアドレス生成回路 24a とバッファ開放量算出回路 24c とへ出力されるようになっている。

【0110】

この読出しアドレス生成回路 24a には、さらに、上記補間位置算出回路 21a により算出された座標 $(X1, Y1)$ も上記セクタ 23 を介する経路とは別途に入力されるようになっている。そして、該読出しアドレス生成回路 24a は、この座標 $(X1, Y1)$ に関連する画素データ（16点補間を行う場合には、該座標 $(X1, Y1)$ を中心とする 16 個の画素データ）が記憶されているアドレス ADR を 2ポート SRAM 25a に出力するとともに、補間係数（例えば、上記数式 15 に示したような補間係数 $kx0 \sim kx3, ky0 \sim ky3$ ）と出力する画素データが D0 ~ D15 のどの位置の画素データであるかを示すデータ列制御信号とを補間回路 26a に出力するようになっている。さらに、該読出しアドレス生成回路 24a は、書き込み許可信号 WE_N0 を後段の Ch. 0 に対応する処理ブロックへ出力する。

【0111】

上記 2ポート SRAM 25a は、上記図 3 に示した内部メモリ部 25 に対応する回路部分である。

【0112】

補間回路 26a は、上記図 3 に示した補間演算部 26 に対応するものであり、上記 2ポート SRAM 25a から読み出された画像データを用いて上記数式 15 に示したような補間処理を行い、処理後の画像データを後段の処理ブロックに出

力するものである。

【0113】

上記バッファ開放量算出回路24cは、上記補間位置算出回路21aからの出力と、上記加算器27a、27bを介した上記セクタ23からの出力と、に基づいて、上記2ポートSRAM25aにおいて開放可能な記憶容量（バッファ開放量）を算出するものである。

【0114】

バッファ空き容量監視回路24dは、このバッファ開放量算出回路24cの出力を参照して、上記2ポートSRAM25aの空き容量の状況を把握するものである。

【0115】

書込みアドレス生成回路24bは、前段の処理ブロックからのCh. 0に係る画像データを受けて、上記2ポートSRAM25aに記録するものである。

【0116】

データ送信可否判定回路24eは、Ch. 0に係る後段の処理ブロックからの画像データを要求する要求信号REQ_N0を受けて、上記書込みアドレス生成回路24bとバッファ開放量算出回路24cとの出力に基づき画像データの送信が可能であるか否かを判断し、可能である場合に要求信号t r o k__0を上記グラント同期回路27へ出力するものである。

【0117】

次に、この図14に示したような歪補正処理部7の動作について説明する。

【0118】

バッファ空き容量監視回路24dは、バッファ開放量算出回路24cを介して2ポートSRAM25aの空き容量を監視し、所定の空き容量があると、Ch. 0に係る前段の処理ブロックに対して所定のブロック単位の画像データ（以下、適宜、ユニットライン（UL）データという。）を送信するように要求信号REQ__0を出す（ステップS1）。

【0119】

Ch. 0に係る前段の処理ブロックは、この要求信号REQ__0を受けて、画

像データが送信可能になったところで許可信号 $GRANT_0$ を送信し、上記バッファ空き容量監視回路 24 d は、この許可信号 $GRANT_0$ を受信する（ステップ S 2）。

【0120】

該バッファ空き容量監視回路 24 d は、2 ポート SRAM 25 a の空き容量を、内部に保持するカウンタで把握するようになっており、許可信号 $GRANT$ を受信すると同時に、この内部カウンタの値を 1 つ減らす。該バッファ空き容量監視回路 24 d は、この内部カウンタが 0 になったら、上記要求信号 REQ_0 を取り下げるように動作する（ステップ S 3）。

【0121】

そして、Ch. 0 に係る前段の処理ブロックから、書き込み許可信号 WE_0 が書き込みアドレス生成回路 24 b に入力され、続いて画像データが入力される。これに応じて、書き込みアドレス生成回路 24 b は、制御信号を 2 ポート SRAM 25 a へ出力して、画像データ $DATA$ を該 2 ポート SRAM 25 a の、アドレス $ADDRESS$ で指定される領域に書き込む。また、書き込みアドレス生成回路 24 b は、1 UL データが入力される毎に、BLC カウンタ（内部バッファである 2 ポート SRAM 25 a にどれだけのデータが溜められたかを示すカウンタ）をアップして、データ送信可否判定回路 24 e へ出力する（ステップ S 4）。

【0122】

データ送信可否判定回路 24 e は、Ch. 0 に係る後段の処理ブロックから要求信号 REQ_N0 を受信すると、次に送信することができる UL データが 2 ポート SRAM 25 a 内にあるか否かを判定し、あると判定した場合には、要求信号 $tr ok_0$ を上記グラント同期回路 27 へ送信する（ステップ S 5）。

【0123】

グラント同期回路 27 は、後述するように、画像データの送信条件が整ったところで各チャンネルに係る後段の処理ブロックおよび各チャンネルに係る補間位置算出回路 21 a に対して許可信号 $GRANT_N0$ 、 $GRANT_N1$ 、 $GRANT_N2$ を出力する。

【0124】

C h. 0に係る補間位置算出回路 2 1 a は、この許可信号 G R A N T _ N 0 を受けて動作を開始し、補間位置である座標 (X 1, Y 1) の算出動作を 1 U L 分行ったところで、次の U L 先頭座標を算出して終了する (ステップ S 6)。

【0125】

上記グラント同期回路 2 7 は、補間位置算出回路 2 1 a が動作を開始して座標 (X 1, Y 1) を出力するのと同期して歪補正係数算出回路 2 2 a が歪補正係数 F 0 を出力することができるようなタイミングで、許可信号 e _ g r a n t を該歪補正係数算出回路 2 2 a へ出力する (ステップ S 7)。

【0126】

歪補正係数算出回路 2 2 a は、許可信号 e _ g r a n t を受けると、各チャンネルに係る歪補正係数 F 0, F 1, F 2 を上記数式 1 4 に基づき算出し、各チャンネルの補間位置補正回路 2 2 b へ出力する。この歪補正係数算出回路 2 2 a も、上記補間位置算出回路 2 1 a と同様に、1 U L 分の動作を行ったところで、次の U L 先頭座標を算出して終了する (ステップ S 8)。

【0127】

C h. 0に係る補間位置補正回路 2 2 b は、この歪補正係数算出回路 2 2 a から受け取った歪補正係数 F 0 と、上記補間位置算出回路 2 1 a から受け取った座標 (X 1, Y 1) と、を用いて、上記数式 1 0 に基づき座標 (X', Y') を算出する。この補間位置補正回路 2 2 b も、上記歪補正係数算出回路 2 2 a に従って、1 U L 分の動作を行ったところで、次の U L 先頭座標を算出して終了する (ステップ S 9)。

【0128】

セレクタ 2 3 は、上記制御レジスタ 7 a を介して上記 C P U 3 により設定された動作モードに従って、歪補正処理を行う場合には上記補間位置補正回路 2 2 b からの座標 (X', Y') を選択し、歪補正処理を行わない場合には上記補間位置算出回路 2 1 a からの座標 (X 1, Y 1) を選択する (ステップ S 10)。

【0129】

加算器 2 7 a, 2 7 b は、このセレクタ 2 3 により選択された座標 (X 1, Y 1) または座標 (X', Y') に、歪中心位置の座標 (X_d, Y_d) をそれぞれ

加算する（ステップS11）。

【0130】

読み出しアドレス生成回路24aは、加算器27a、27bから受け取った座標に基づいて、補間に用いるために2ポートSRAM25aから読み出す画素データのアドレスADRを該2ポートSRAM25aに出力するとともに、補間係数とデータ列制御信号とを補間回路26aに出力する（ステップS12）。

【0131】

補間回路26aは、読み出しアドレス生成回路24aから受け取った補間係数およびデータ列制御信号と、2ポートSRAM25aから受け取った画素データと、を用いて、上記数式15に示すように、補間された画素データを算出し、Ch.0に係る後段の処理ブロックへ出力する（ステップS13）。

【0132】

バッファ開放量算出回路24cは、上記補間位置算出回路21aおよび加算器27a、27bの出力に基づいて、ULデータを最後まで出力したことが確認されたら、今処理を終えたUL先頭座標と、次のUL先頭座標との差を計算して、必要なくなったデータが蓄積されているバッファ（2ポートSRAM25a内の領域）を開放するために、バッファ開放量をバッファ空き容量監視回路24dへ出力するとともに、次のUL処理を行うために後どれだけのデータをCh.0に係る前段の処理ブロックから受けることが必要であるかを、上記データ送信可否判定回路24eへ送信する（ステップS14）。

【0133】

バッファ空き容量監視回路24dは、上記ステップS14において内部バッファである2ポートSRAM25aに記憶領域の空きができたことが確認されたところで、上記ステップS1へ戻って、上述したような処理を繰り返して行う（ステップS15）。

【0134】

データ送信可否判定回路24eは、上記書込みアドレス生成回路24bからのBLCカウンタの値と、バッファ開放量算出回路24cからの出力と、に基づいて、次のULデータを後段の処理ブロックに送信することができるか否かを判定

し、送信することができると判定した場合には、上記ステップ S 5 の処理を行う（ステップ S 16）。

【0135】

図 15 はグラント同期回路 27 の構成を示すブロック図、図 16 はグラント同期回路 27 の動作を説明するためのタイミングチャートである。

【0136】

まず、上記制御レジスタ 7a を参照することにより得られる DT_ON は、歪補正を行うか否かを示すブール値を保持するものであり、0（偽）の場合にはローレベル、1（真）の場合にはハイレベルの信号として取得されるように構成されている。

【0137】

このグラント同期回路 27 は、Ch. 0 用歪補正回路 7A1 からの要求信号 t_{rok_0} と Ch. 1 用歪補正回路 7B1 からの要求信号 t_{rok_1} と Ch. 2 用歪補正回路 7C1 からの要求信号 t_{rok_2} との論理積をとるための AND 回路 51 と、上記要求信号 t_{rok_0} 、 t_{rok_1} 、 t_{rok_2} と AND 回路 51 の出力との立ち上がりを検出するための微分回路 52 と、DT_ON がローレベルである場合には要求信号 t_{rok_0} に係る微分回路 52 の出力側に接続され該 DT_ON がハイレベルである場合には上記 AND 回路 51 に係る微分回路 52 の出力側に接続されるように切り換えられるスイッチ 53a と、DT_ON がローレベルである場合には要求信号 t_{rok_1} に係る微分回路 52 の出力側に接続され該 DT_ON がハイレベルである場合には上記 AND 回路 51 に係る微分回路 52 の出力側に接続されるように切り換えられるスイッチ 53b と、DT_ON がローレベルである場合には要求信号 t_{rok_2} に係る微分回路 52 の出力側に接続され該 DT_ON がハイレベルである場合には上記 AND 回路 51 に係る微分回路 52 の出力側に接続されるように切り換えられるスイッチ 53c と、上記 AND 回路 51 に係る微分回路 52 の出力と DT_ON との論理積をとって上記歪補正係数算出回路 22a の歪補正用座標算出回路 31 へ許可信号 e_grant として出力する AND 回路 54 と、を有して構成されている。

【0138】

このようなグラント同期回路27の動作は、次のようになっている。

【0139】

まず、DT_ONがローレベルであるとき、つまり歪補正を行わない場合には、上記スイッチ53a, 53b, 53cは、要求信号trok__0, trok__1, trok__2に係る検出する微分回路52の出力側にそれぞれ切り換えられている。

【0140】

このときに、図16の左側に示すように、要求信号trok__0にハイレベルの信号が入力されると、微分回路52でその立ち上がりが検出されて、GRANT_N0として出力される。次に、要求信号trok__1にハイレベルの信号が入力されると、微分回路52でその立ち上がりが検出されて、GRANT_N1として出力され、さらにその後に、要求信号trok__2にハイレベルの信号が入力されると、微分回路52でその立ち上がりが検出されて、GRANT_N2として出力される。このように、DT_ONがローレベルであるときには、3つのチャンネルからの画像データの出力は、各チャンネル毎にそれぞれのタイミングで行われる。

【0141】

また、DT_ONがローレベルとなっているときには、AND回路51の出力如何に関わらず、AND回路54の出力はローレベルのままとなり、許可信号e__grantは出力されない（あるいは不許可の出力となる）ために、上記歪補正係数算出回路22aは歪補正係数F0, F1, F2の算出を行わない。従って、各チャンネルに係る補間位置補正回路22bも動作せず、結局、歪補間処理は行われないことになる。

【0142】

次に、DT_ONがハイレベルであるとき、つまり歪補正を行う場合には、上記スイッチ53a, 53b, 53cは、AND回路51に係る微分回路52の出力側に切り換えられている。

【0143】

このときに、図16の右側に示すように、要求信号 `t r o k _ 0` にハイレベルの信号が入力されても、その時点では、要求信号 `t r o k _ 1` , `t r o k _ 2` はローレベルのままであるために、該AND回路51の出力はローレベルのまま維持される。

【0144】

その後、要求信号 `t r o k _ 0` がハイレベルであって、かつ要求信号 `t r o k _ 1` がハイレベルとなった時点でも、要求信号 `t r o k _ 2` がローレベルである間は、AND回路51の出力はローレベルのままである。

【0145】

そして、要求信号 `t r o k _ 0` , `t r o k _ 1` , `t r o k _ 2` の全てがハイレベルとなった時点で、AND回路51の出力がハイレベルとなり、微分回路52でその立ち上がりが検出される。

【0146】

この微分回路52の出力は、許可信号 `G R A N T _ N 0` , `G R A N T _ N 1` , `G R A N T _ N 2` として同時に出力されるとともに、AND回路54にも出力されて、ハイレベルとなっている `D T _ O N` と論理積がとられ、許可信号 `e _ g r a n t` として上記歪補正係数算出回路22aへ出力される。

【0147】

このようにして、`D T _ O N` がハイレベルであるときには、3つのチャンネルからの画像データの出力は、同期したタイミングで行われる。

【0148】

このような実施形態によれば、歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置となる。

【0149】

特に、歪補正係数算出回路の少なくとも一部を複数のチャンネルに対して共通化することにより、回路規模を効果的に小さくし、低消費電力化を図ることができる。このとき、ダイナミックレンジが広い数を浮動小数として扱って演算を行っているために、精度を保ちながら回路規模を縮小することが可能となる。そして、歪補正係数をルックアップテーブルを参照して求める場合には、処理時間を

短縮しながら回路規模を縮小することが可能となる。

【0150】

また、グラント同期回路を設けて、各チャンネルからの画像データ出力を同時に行うことができるようにしたために、後段の処理ブロックにおいて複数チャンネルの画像データを同時に必要とする場合に良好に対応することができる。このとき、グラント同期回路は、スイッチングにより複数チャンネルの画像データがそれぞれのタイミングで出力されるように処理することも可能であるために、必要に応じた選択を行うことが可能となる。

【0151】

加えて、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するようにしたために、補間位置生成部や歪補正座標変換部の内部に設ける乗算器の個数を削減することができ、回路規模の縮小を図ることができる。

【0152】

さらに、拡大縮小処理も、歪補正処理と同一の回路で同時に行うことが可能となる利点がある。

【0153】

なお、本発明は上述した実施形態に限定されるものではなく、発明の主旨を逸脱しない範囲内において種々の変形や応用が可能であることは勿論である。

【0154】

【発明の効果】

以上説明したように本発明によれば、歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態における画像処理装置の構成を示すブロック図。

【図2】

上記実施形態における歪補正処理部の構成の概要を示すブロック図。

【図3】

上記実施形態において、1つのチャンネルに係る歪補正処理部の構成を示すブロック図。

【図4】

上記実施形態において、格子状の被写体を光学系を介して撮像したときの歪曲収差の例を示す図。

【図5】

上記実施形態において、歪補正を含む補間処理の概要を説明するための図。

【図6】

上記実施形態において、16点補間による処理を説明するための図。

【図7】

上記実施形態において、光学系により画像を撮影したときに発生する色収差の一例を示す図。

【図8】

上記実施形態において、Bに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図。

【図9】

上記実施形態において、R、G、Bのそれぞれに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図。

【図10】

上記実施形態における歪補正処理部のより詳細な構成を示すブロック図。

【図11】

上記実施形態における歪補正係数算出回路の構成を示すブロック図。

【図12】

上記実施形態における距離依存係数算出回路の構成を示すブロック図。

【図13】

上記実施形態における歪補正係数算出回路の構成の他の例を示すブロック図。

【図14】

上記実施形態におけるCh. 0用歪補正回路の構成を示すブロック図。

【図15】

上記実施形態におけるグラント同期回路の構成を示すブロック図。

【図 16】

上記実施形態におけるグラント同期回路の動作を説明するためのタイミングチャート。

【図 17】

上記実施形態の画像処理装置における一般的な画像処理の手順を示す図。

【図 18】

上記図 17 に示したような一般的な画像処理を行うための従来の画像処理装置の構成を示すブロック図。

【図 19】

従来において歪補正処理を行うために必要なメモリ量を説明するための図。

【符号の説明】

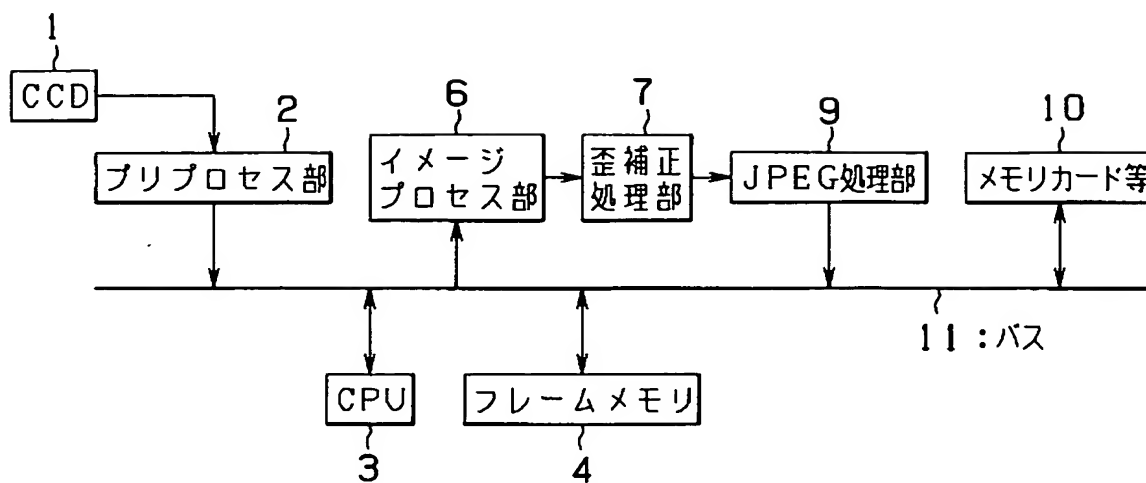
- 1…C C D
- 2…プリプロセス部
- 3…C P U
- 4…フレームメモリ
- 6…イメージプロセス部（画像処理部）
- 7, 7 A, 7 B, 7 C…歪補正処理部（歪補正処理手段、画像処理部）
- 7 a…制御レジスタ
- 7 A 1…C h. 0 用歪補正回路（歪補正演算手段、画像処理部）
- 7 B 1…C h. 1 用歪補正回路（歪補正演算手段、画像処理部）
- 7 C 1…C h. 2 用歪補正回路（歪補正演算手段、画像処理部）
- 9…J P E G 処理部（画像処理部）
- 10…メモリカード等
- 11…バス
- 20…補間座標生成部
- 21…補間位置生成部（補間座標生成部の一部）
- 21 a…補間位置算出回路
- 22…歪補正座標変換部（補間座標生成部の一部）

- 2 2 a …歪補正係数算出回路（歪補正係数算出手段）
- 2 2 b …補間位置補正回路
- 2 3 …セクタ（補間座標生成部の一部）
- 2 4 …メモリ制御部
- 2 4 a …読出しアドレス生成回路
- 2 4 b …書込みアドレス生成回路
- 2 4 c …バッファ開放量算出回路
- 2 4 d …バッファ空き容量監視回路
- 2 4 e …データ送信可否判定回路
- 2 5 …内部メモリ部
- 2 5 a …2 ポート S R A M（内部バッファ）
- 2 6 …補間演算部
- 2 6 a …補間回路
- 2 7 …グラント同期回路（グラント同期手段）
- 3 1 …歪補正用座標算出回路
- 3 2 a, 3 2 b …浮動小数化回路
- 3 7, 3 7 a, 3 7 b, 3 7 c …距離依存係数算出回路
- 4 2 a, 4 2 b, 4 2 c …固定小数化回路
- 3 9 a, 3 9 b, 3 9 c …L U T（ルックアップテーブル）

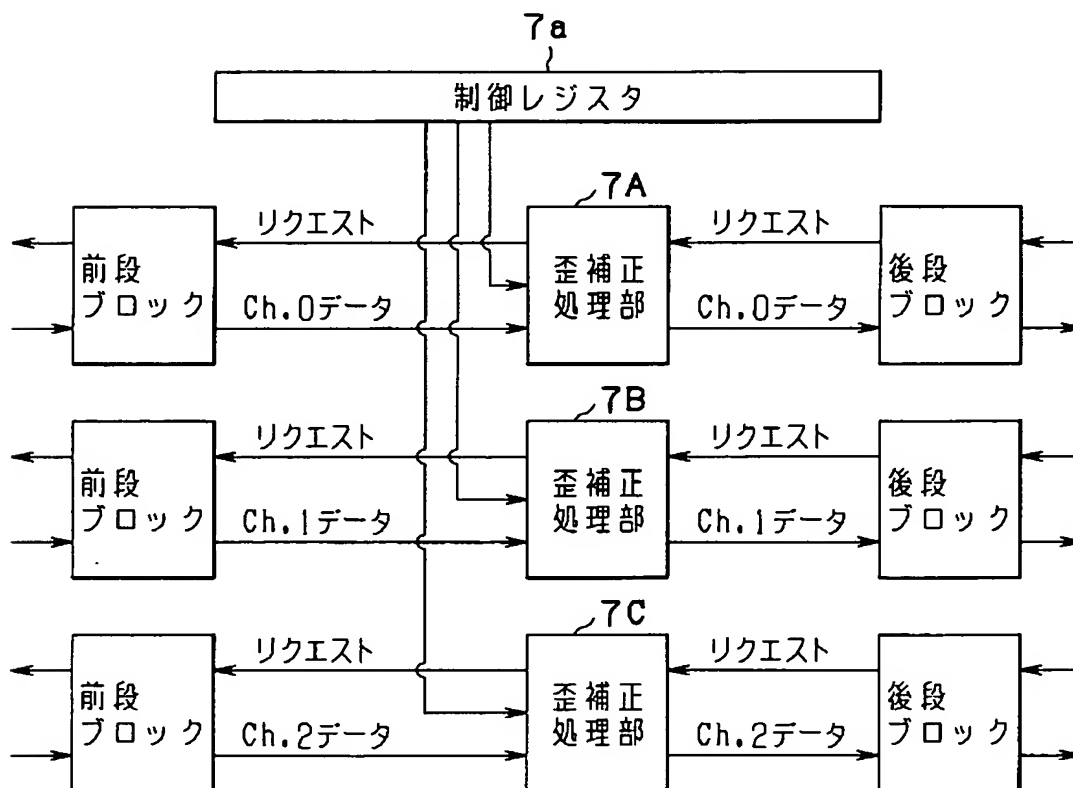
代理人 弁理士 伊 藤 進

【書類名】 図面

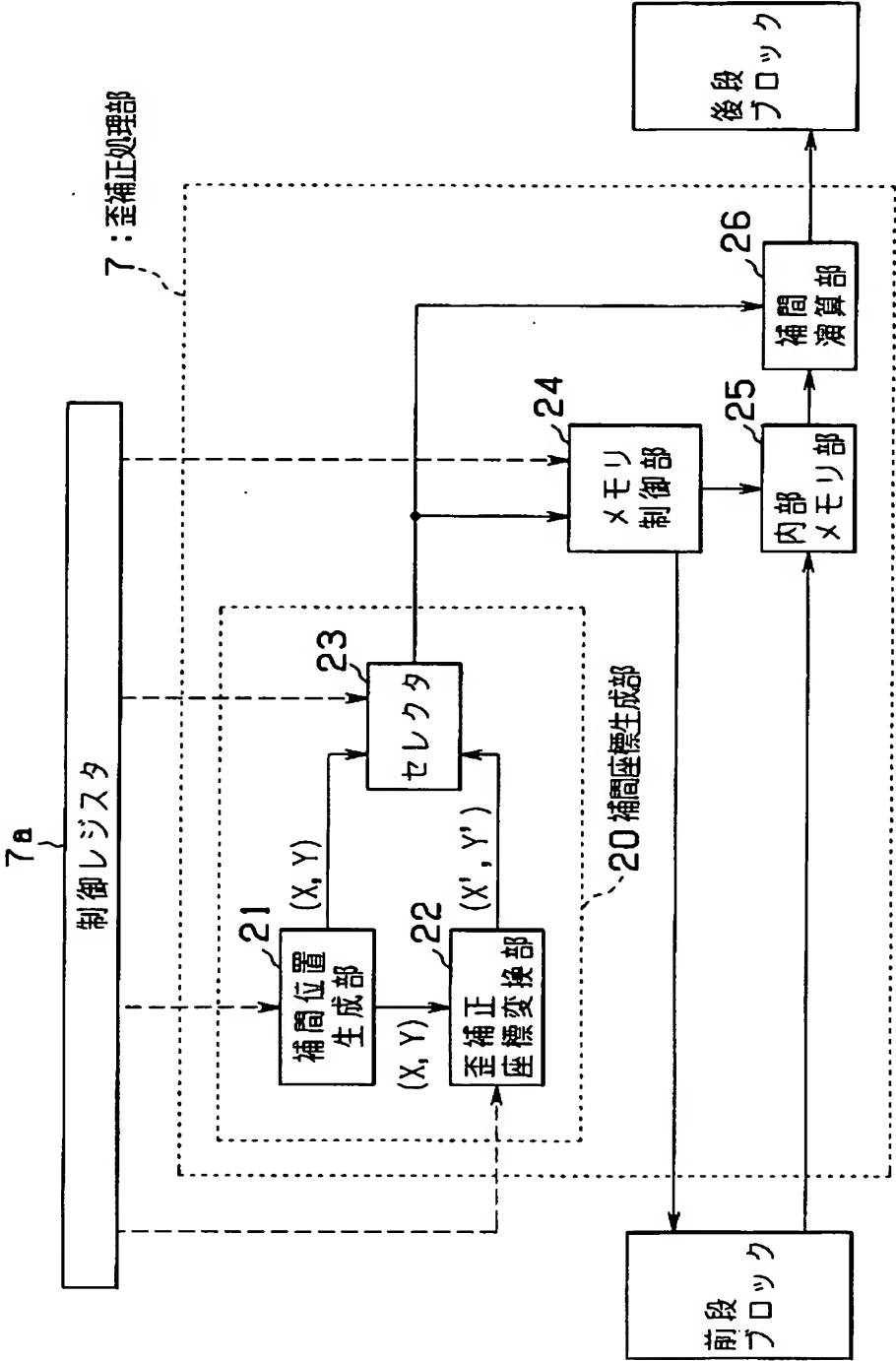
【図1】



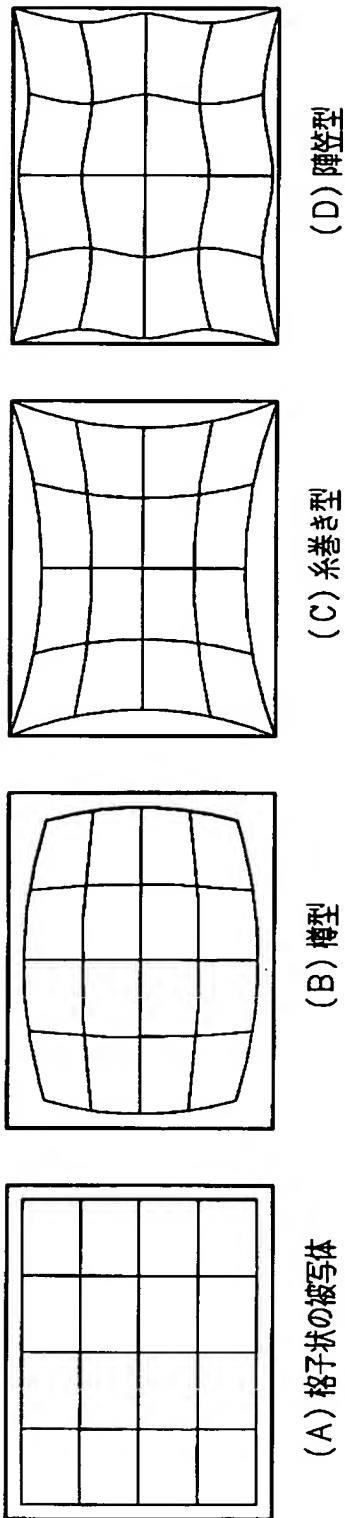
【図2】



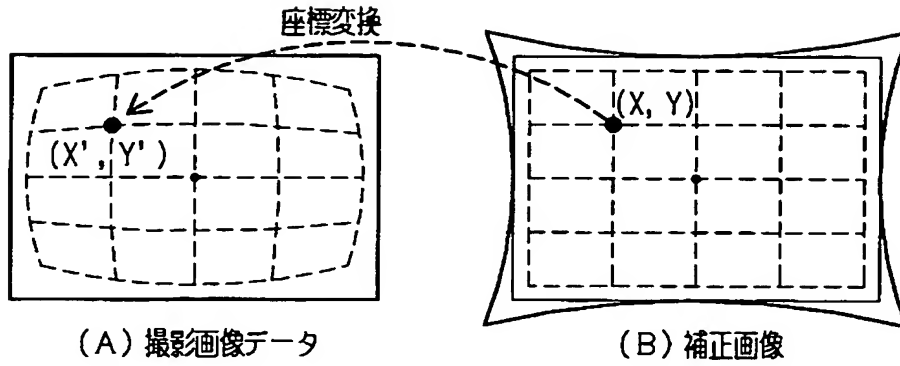
【図 3】



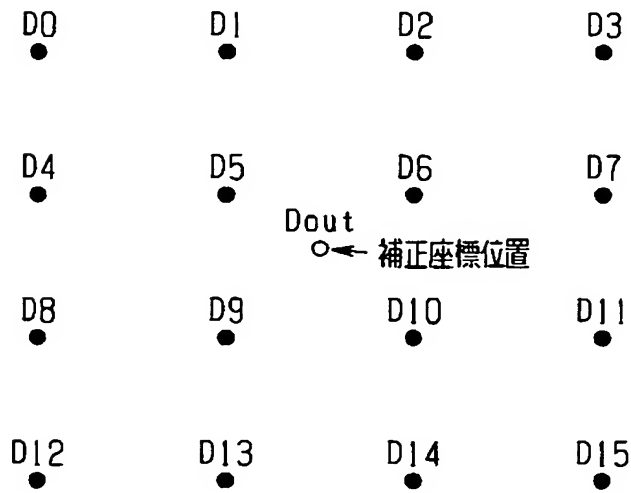
【図 4】



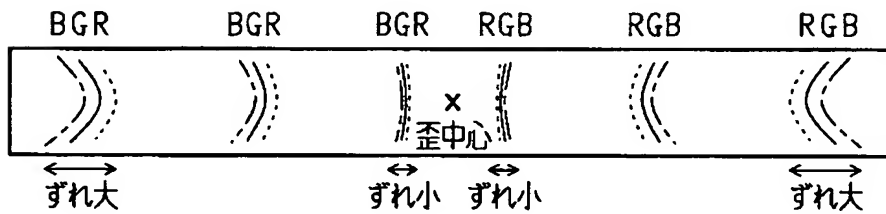
【図 5】



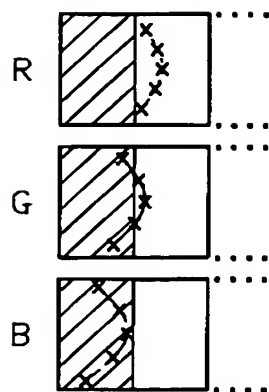
【図 6】



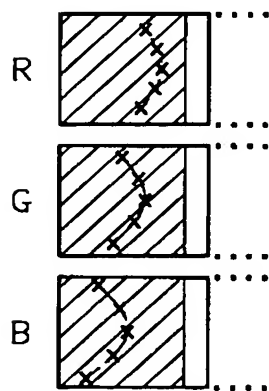
【図 7】



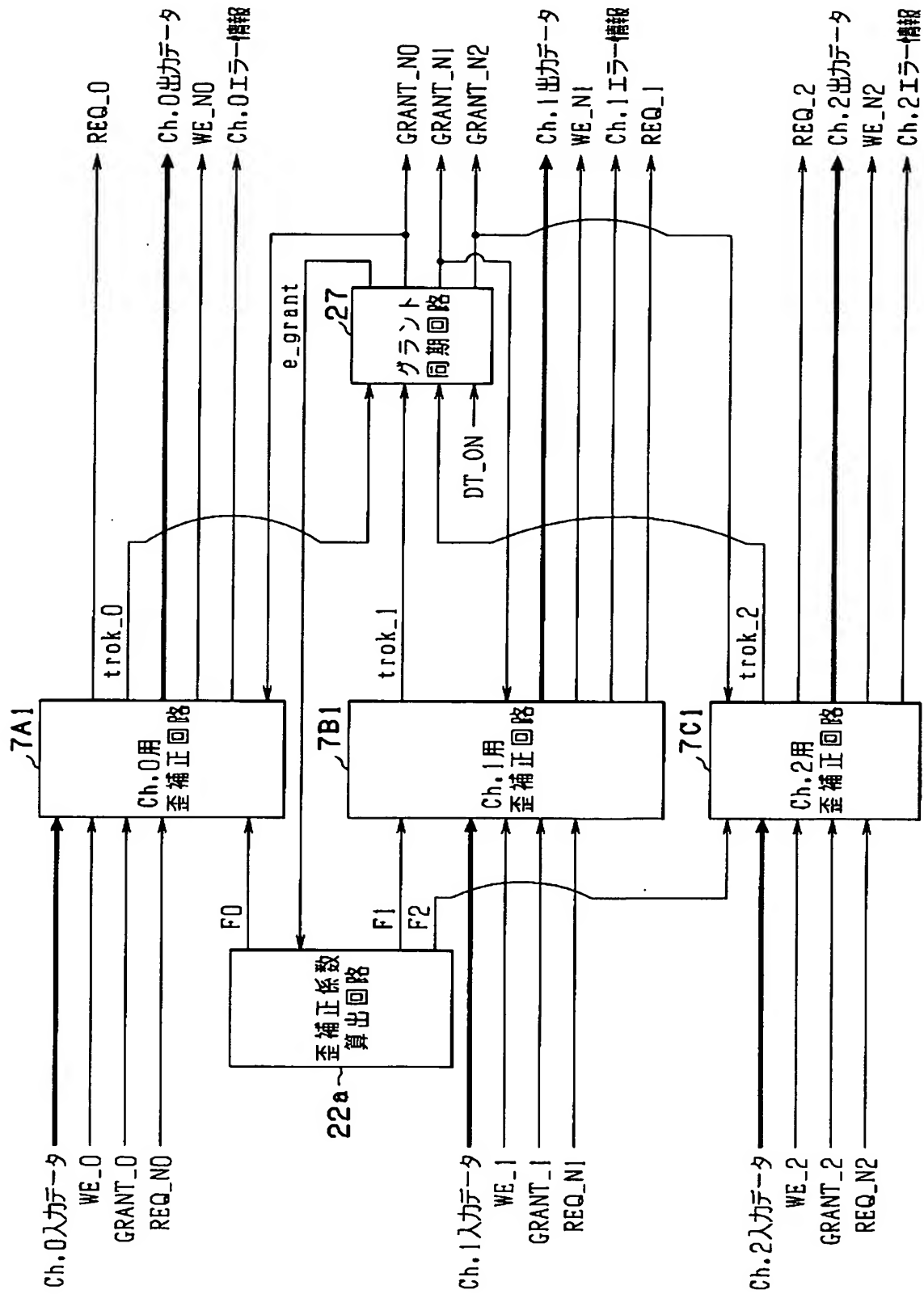
【図 8】



【図 9】

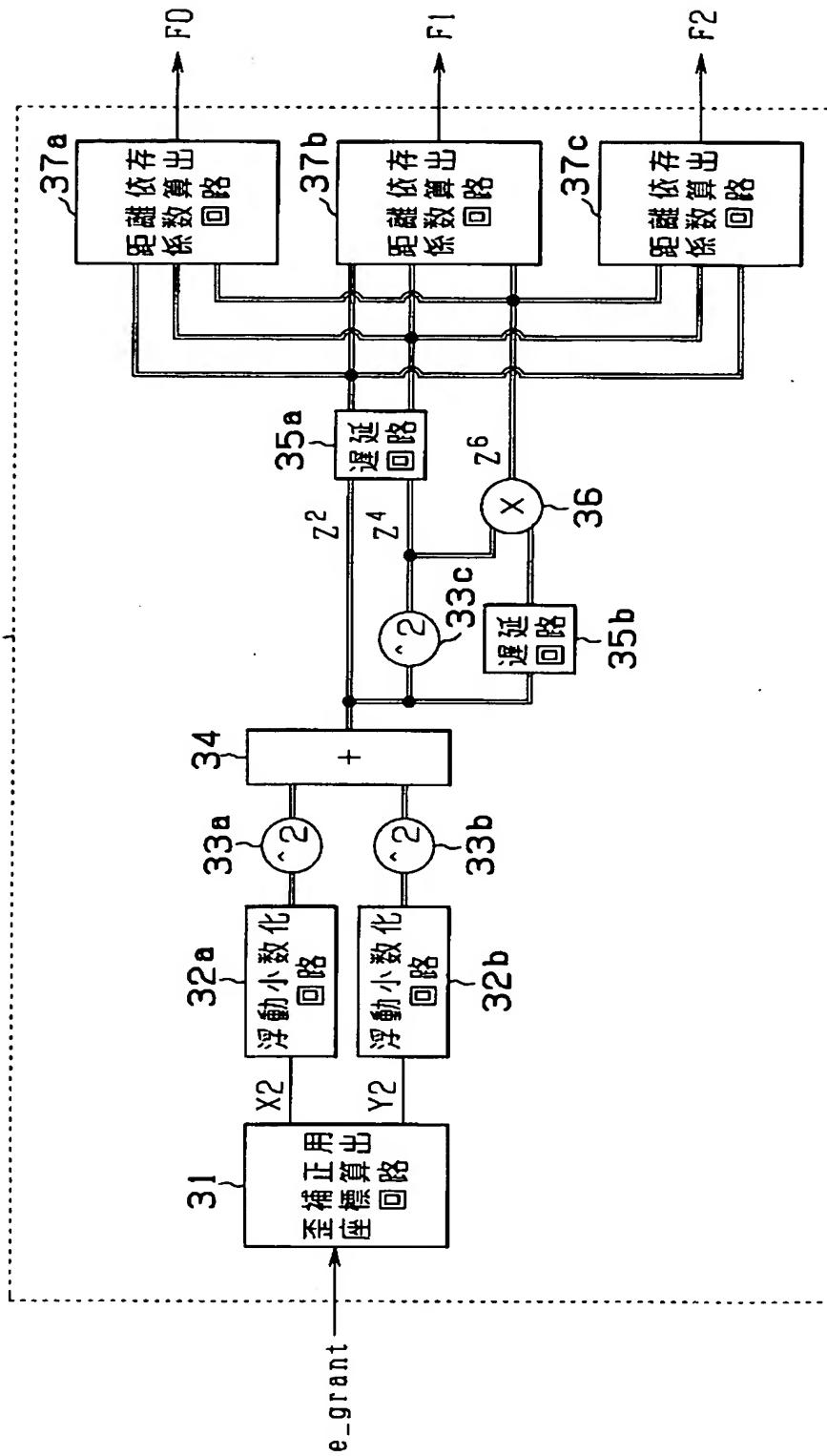


【図 10】

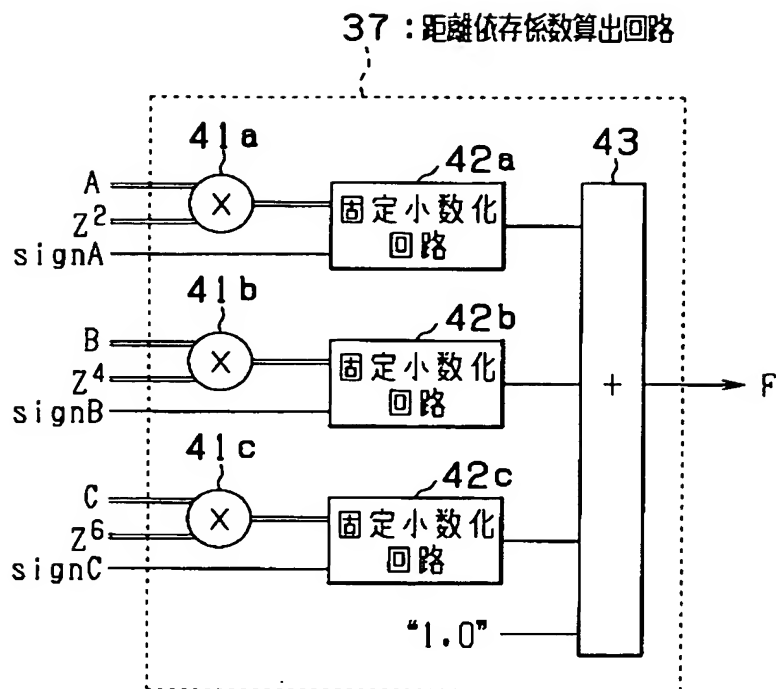


【図 11】

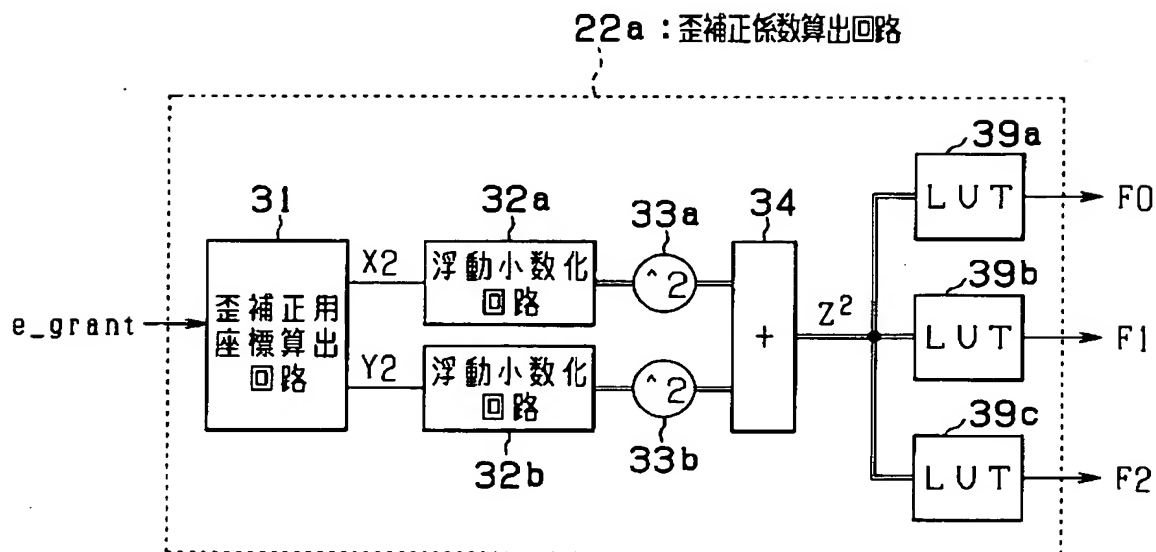
22a:歪補正係数算出回路



【図 12】

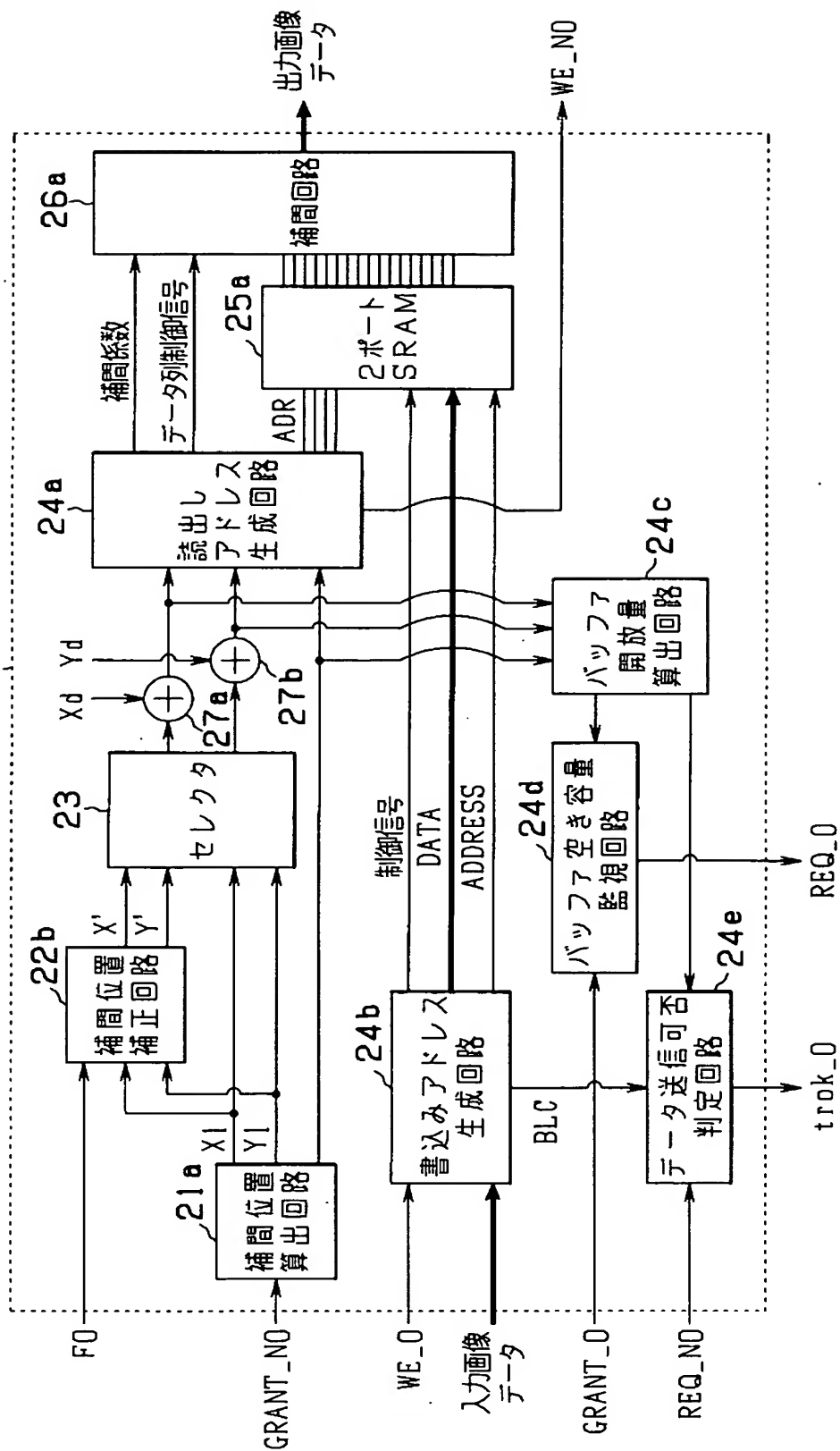


【図 13】

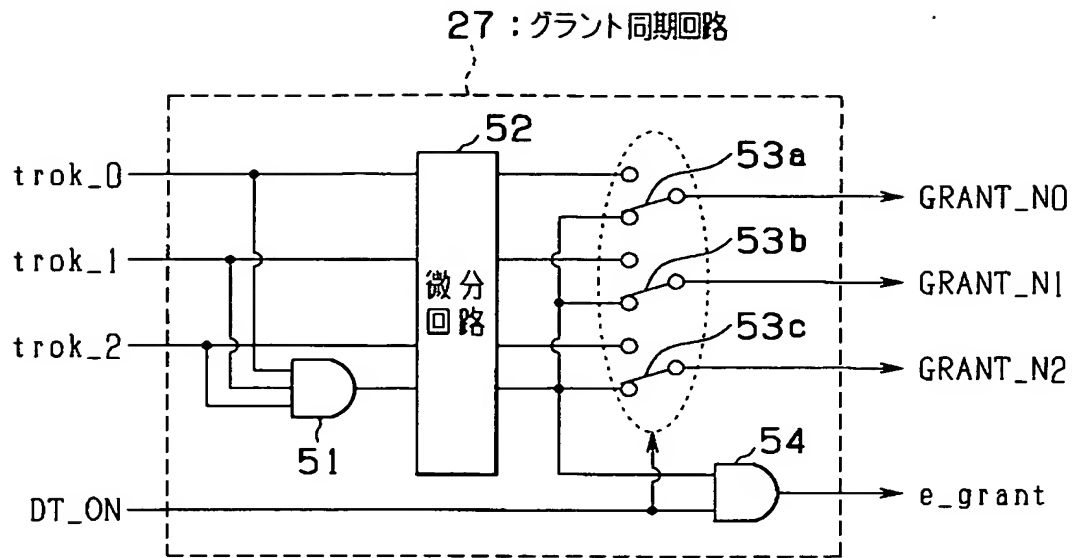


【図14】

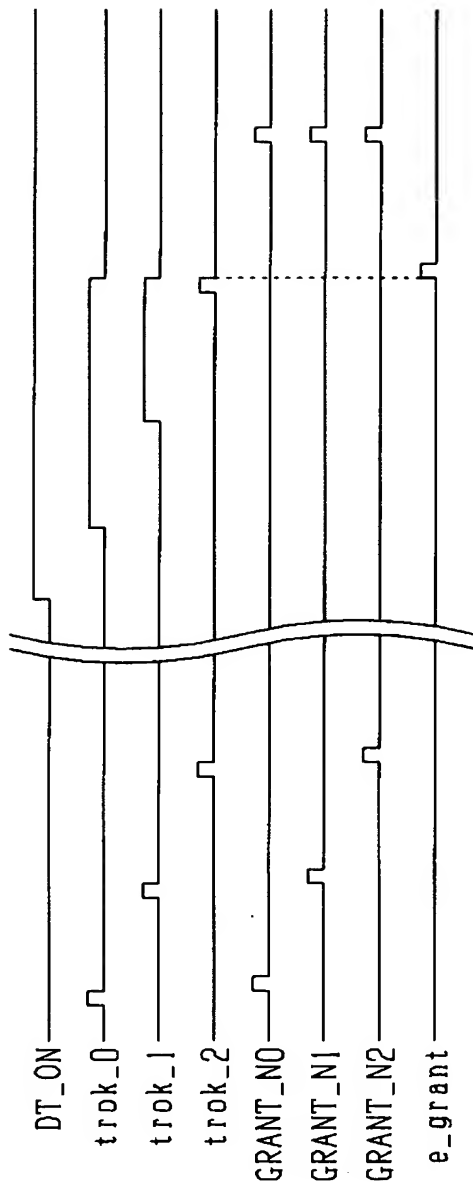
7A1:Ch.0用歪補正回路



【図 15】



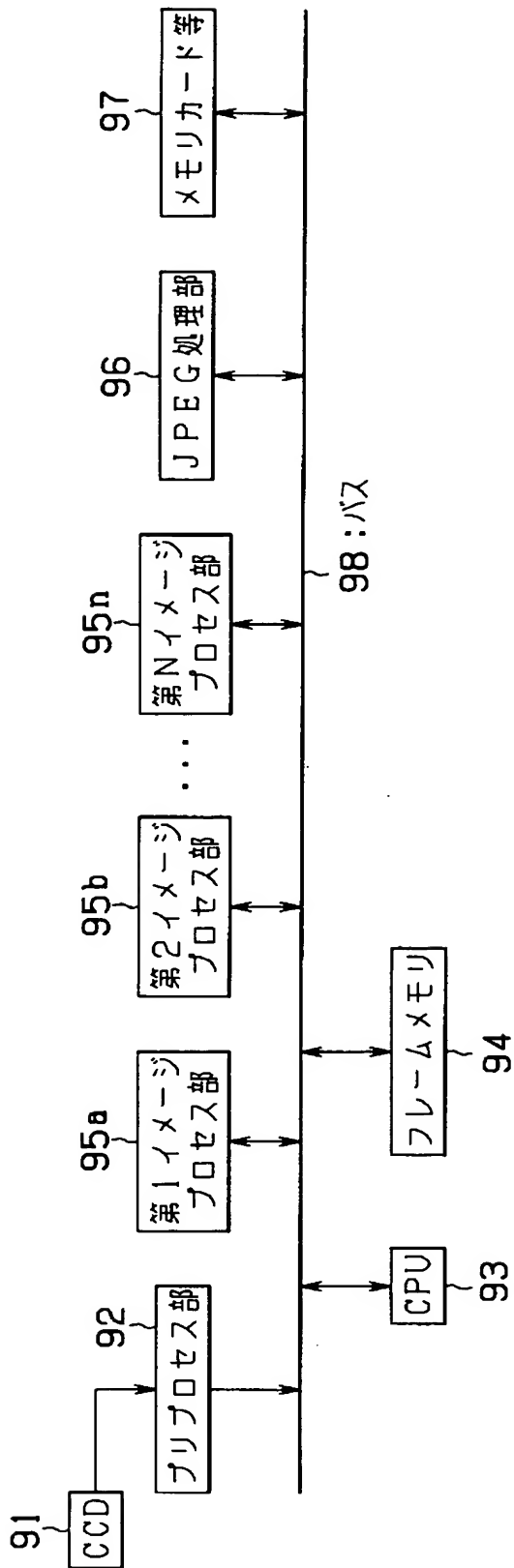
【図 16】



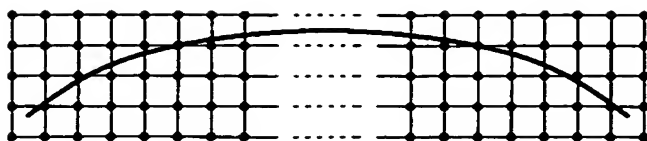
【図 17】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置を提供する。

【解決手段】 光学系により撮像された複数の成分で構成される電子的な画像データを処理する画像処理装置において、上記光学系に起因する歪曲収差を補正するための歪補正係数を歪中心位置からの距離に基づき上記成分毎に算出する単一の歪補正係数算出回路 22a と、この歪補正係数算出回路 22a により算出された歪補正係数を用いて成分毎の画像データを歪補正する歪補正回路 7A1, 7B1, 7C1 と、これら歪補正回路 7A1, 7B1, 7C1 の全てからの歪補正処理開始要求信号 t_{rok} が揃った後に歪補正係数算出回路 22a に許可信号 e_{grant} を出力して全ての歪補正回路 7A1, 7B1, 7C1 に歪補正処理を開始させるように制御するグラント同期回路 27 と、を有して構成される歪補正処理部を備えた画像処理装置。

【選択図】 図 10

特願 2 0 0 3 - 1 7 7 2 9 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 3 7 6]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
氏 名 オリnpas 光学工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 名称変更
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
氏 名 オリnpas 株式会社